

山东大学

二〇一六年招收攻读硕士学位研究生入学考试试题

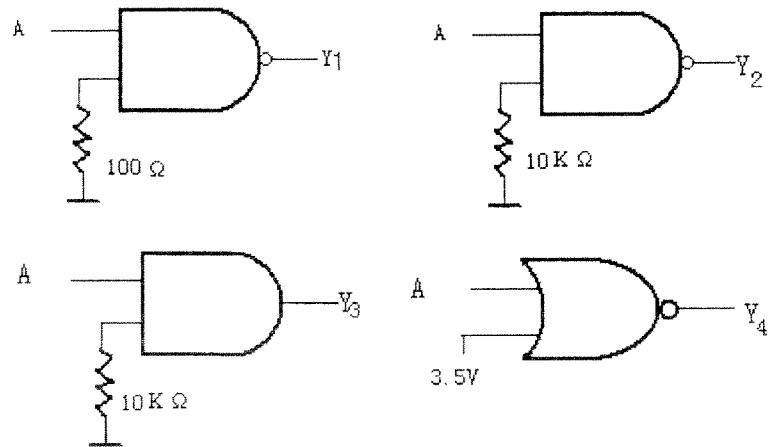
科目代码 906 科目名称 数字电路(专)

(答案必须写在答卷纸上, 写在试题上无效)

一、填空题 (共 35 分)

- 1、(2B)₁₆ = ()₂ = ()₈ = ()₁₀ = ()_{8421BCD}
 2、以“1”和“0”分别代表高、低电平, 试给出下图各电路的输出(图中均为 TTL 门电路)。

Y₁=() Y₂=() Y₃=() Y₄=()



- 3、要实现线与功能, 应使用 () 门。
 4、() 个输入变量共有 8 个最大项, 全体最大项之积为 ()。
 5、RAM 电路通常由 ()、()、() 三部分组成。
 6、在 CLK 作用下, 欲使 D 触发器具有 $Q^* = Q'$ 的功能, 其 D 端应接 ()。
 7、A/D 转换的几个步骤是 ()。

二、简答题 (共 15 分, 共 3 个题, 每题 5 分, 要有解题过程)

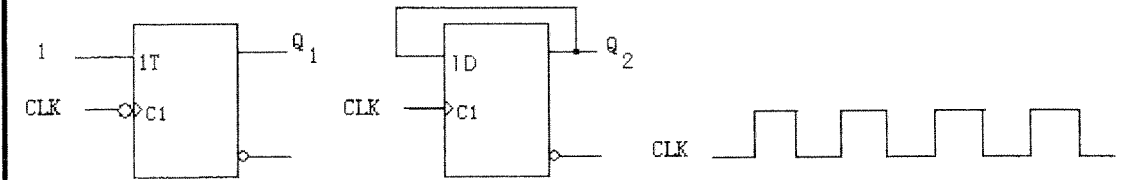
- 1、用公式法将函数化为最简与或式

$$F = AB + AC + A'B + BC'$$

- 2、用图形法化简函数为最简与或式, $\sum d$ 为约束项之和。

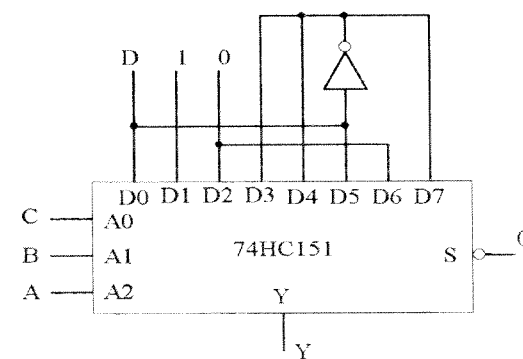
$$F(A, B, C, D) = \sum m(0,1,2,3,6,8) + \sum d(10,11,12,13,14,15)$$

- 3、各触发器的初始状态皆为 0, 试画出在 CLK 信号连续作用下各触发器输出端的电压波形。



三、综合题 (共 100 分, 共 8 个题)

- 1、(10 分) 简单叙述施密特触发器的工作特点和主要用途。
 2、(10 分) 分析图示逻辑电路, 求输出 $Y_{(A,B,C,D)}$ 的最小项之和表达式(用 $\sum m$ 的形式表示)。
 8 选 1 数据选择器 74HC151 的功能表如图所示。



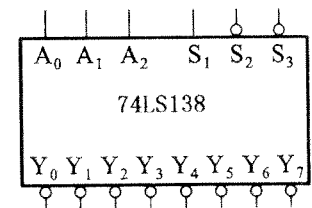
S	A2	A1	A0	Y
1	X	X	X	0
0	0	0	0	D0
0	0	0	1	D1
0	0	1	0	D2
0	0	1	1	D3
0	1	0	0	D4
0	1	0	1	D5
0	1	1	0	D6
0	1	1	1	D7

- 3、(15 分) 用一片 3 线—8 线译码器 74LS138 和其它必要的门电路设计一个多输出的组合电路。要求写出设计过程, 画出连线图。输出的逻辑函数为:

$$Z_1 = A'B' + AB + B'C$$

$$Z_2 = A'B + B'C + AC'$$

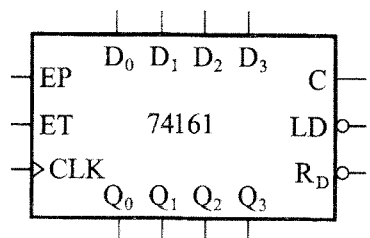
74LS138 的逻辑符号和功能表如图。



输入					输出							
S ₁	S ₂ ' + S ₃ '	A ₂	A ₁	A ₀	Y ₀ '	Y ₁ '	Y ₂ '	Y ₃ '	Y ₄ '	Y ₅ '	Y ₆ '	Y ₇ '
0	X	X	X	X	1	1	1	1	1	1	1	1
X	1	X	X	X	1	1	1	1	1	1	1	1
1	0	0	0	0	0	1	1	1	1	1	1	1
1	0	0	0	1	1	0	1	1	1	1	1	1
1	0	0	1	0	1	1	0	1	1	1	1	1
1	0	0	1	1	1	1	1	0	1	1	1	1
1	0	1	0	0	1	1	1	1	0	1	1	1
1	0	1	0	1	1	1	1	1	1	0	1	1
1	0	1	1	0	1	1	1	1	1	1	0	1
1	0	1	1	1	1	1	1	1	1	1	1	0

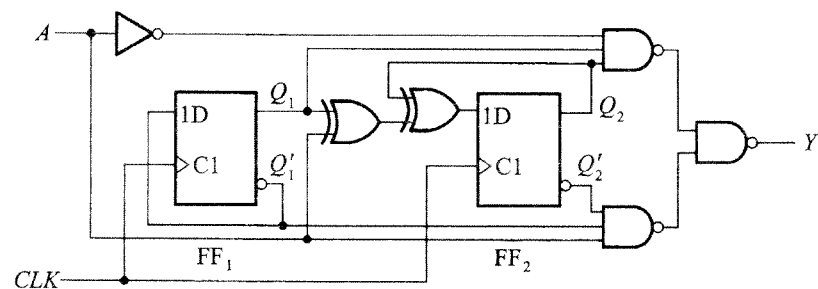
4、(15分) 设计能实现函数 $Y=X^2$ 的组合电路, X 是三位二进制数 $X_2X_1X_0$, 其取值范围是 0~5 的正整数, 要求用与非门实现 (要有设计和化简过程, 不必画出逻辑图)。

5、(10分) 试用 74LS161 加必要的门电路实现 9 进制计数器 (要求分别用 LD 和 R₀ 端实现), 74LS161 的管脚图、功能表如下。

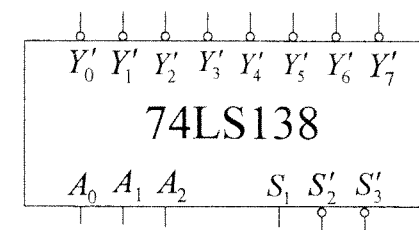
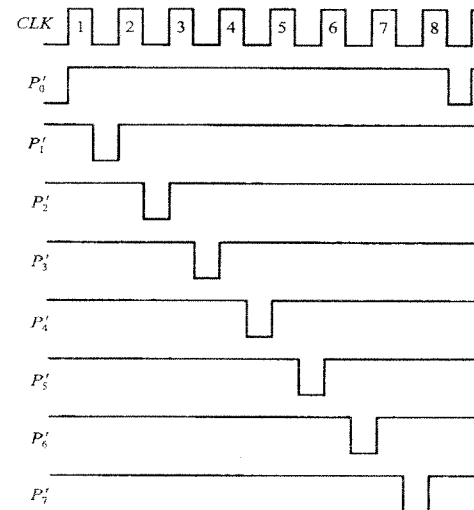


CLK	R' _D	LD'	EP	ET	工作状态
×	0	×	×	×	置零
↑	1	0	×	×	预置数
×	1	1	0	1	保持
×	1	1	×	0	保持(C=0)
↑	1	1	1	1	计数

6、(10分) 分析下图电路, 写出驱动方程, 状态方程, 画出状态转换图, 并判断该电路实现什么功能。



7、(15分) 用 74LS161 和 74LS138 加必要的门电路实现下面波形图的电路。74LS161 的管脚图、功能表见题 5 图, 74LS138 的管脚图、功能表如下。



74LS138的功能表

输入					输出							
S ₁	S ₂ ' + S ₃ '	A ₂	A ₁	A ₀	Y ₀ '	Y ₁ '	Y ₂ '	Y ₃ '	Y ₄ '	Y ₅ '	Y ₆ '	Y ₇ '
0	×	×	×	×	1	1	1	1	1	1	1	1
×	1	×	×	×	1	1	1	1	1	1	1	1
1	0	0	0	0	0	1	1	1	1	1	1	1
1	0	0	0	1	1	0	1	1	1	1	1	1
1	0	0	1	0	1	1	0	1	1	1	1	1
1	0	0	1	1	1	1	1	0	1	1	1	1
1	0	1	0	0	1	1	1	1	0	1	1	1
1	0	1	0	1	1	1	1	1	1	0	1	1
1	0	1	1	0	1	1	1	1	1	1	0	1
1	0	1	1	1	1	1	1	1	1	1	1	0

8、(15分) 用 D 型触发器和必要的门电路设计可控同步计数器。X=1 时, 计数器输出 $Q_3Q_2Q_1$

