

山东大学

二〇一六年招收攻读硕士学位研究生入学考试试题

科目代码 831 科目名称 数字电路

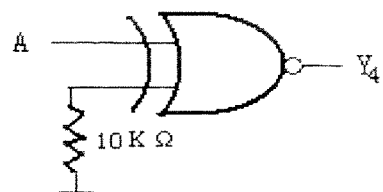
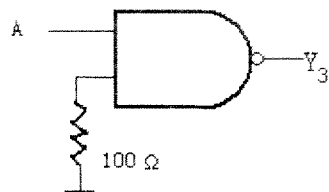
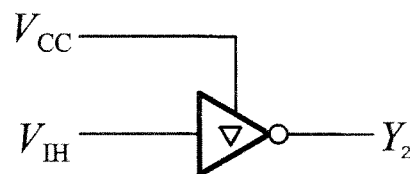
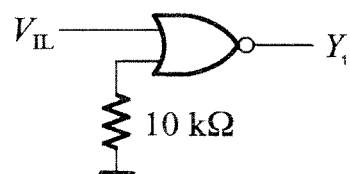
(答案必须写在答卷纸上, 写在试题上无效)

一、填空题 (共 35 分)

1、 $(4.25)_{10} = (\quad)_2 = (\quad)_8 = (\quad)_{16} = (\quad)_{8421BCD}$

2、以“1”和“0”分别代表高、低电平, 试给出下图各电路的输出 (图中均为 TTL 门电路)。

$Y_1 = (\quad)$ $Y_2 = (\quad)$ $Y_3 = (\quad)$ $Y_4 = (\quad)$



- 3、D 触发器的特性方程是 ()。
- 4、用负逻辑表示的函数是 $F=AB$, 则采用正逻辑时的表达式为 ()。
- 5、要同时实现 4 个 10 输入变量的组合逻辑函数, 可以用 PROM 实现, 此 PROM 至少应有 () 条地址线, () 条数据线。
- 6、JK 触发器的现态 $Q=0$ 要求 $Q^*=1$, 则应使 $J = (\quad)$, $K = (\quad)$ 。
- 7、一个 8 位 DAC, 基准电压为 8 伏, 则该 DAC 的分辨率为 (), 能分辨出的最小输出电压为 ()。

二、简答题 (要有解题过程) (每题 5 分, 共 15 分)

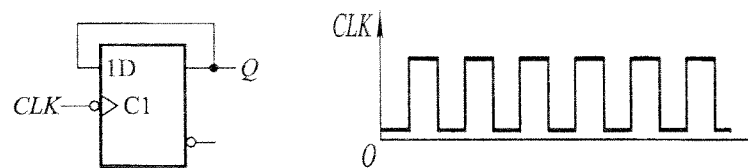
1、用公式法将函数化为最简与或式

$$F = AB' + A'B + BC' + B'C$$

2、用图形法化简函数为最简与或式, $\sum d$ 为约束项之和。

$$F(A, B, C, D) = \sum m(1, 2, 4, 5, 12, 14) + \sum d(6, 7, 8, 9, 10)$$

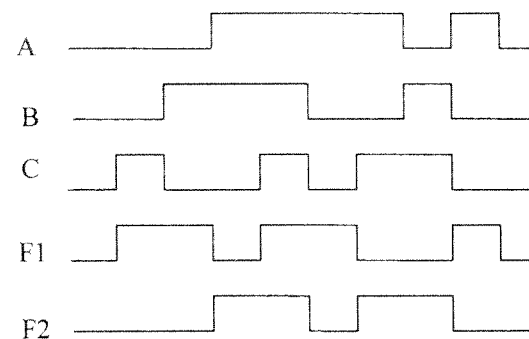
3、触发器的初始状态 $Q=0$, 试画出在 CLK 信号连续作用下触发器输出端的电压波形。



三、综合题 (每题分值见每小题前, 共 100 分)

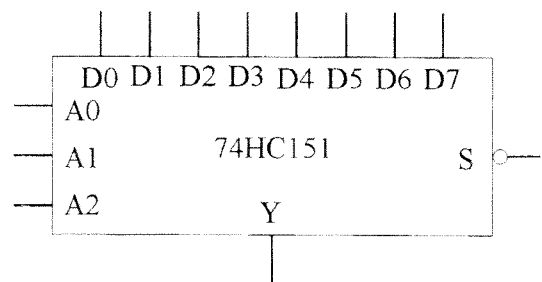
1、(10 分) 已知某组合逻辑电路的输入 A, B, C 及输出 F1, F2 的波形如图。

- (1) 列出该电路的真值表。
- (2) 写出输出 F1, F2 的与或表达式。



2、(10 分) 用一片 8 选 1 数据选择器 74HC151 和必要的门电路产生逻辑函数 $F_{(A,B,C,D)} = \sum m(0, 3, 7, 14)$ 。要求写出设计过程, 画出连线图。74HC151 的功能表和逻辑符号如下图所示。

S	A2	A1	A0	Y
1	X	X	X	0
0	0	0	0	D0
0	0	0	1	D1
0	0	1	0	D2
0	0	1	1	D3
0	1	0	0	D4
0	1	0	1	D5
0	1	1	0	D6
0	1	1	1	D7



3. (15分) 设计一个监视交通信号灯工作状态的逻辑电路。信号灯由红、黄、绿三盏灯组成，正常情况下，任何时刻必有一盏灯点亮，而且只允许一盏灯点亮。而当出现其它五种点亮状态时，电路发生故障，这时要求发出故障信号。试用与非门实现该逻辑电路，要有设计过程，不必画出逻辑图。

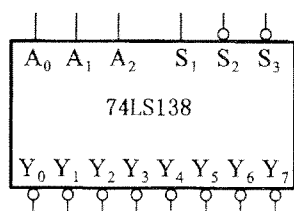
4. (15分) 试用二片 3 线-8 线译码器 74LS138 和其它必要的门电路设计一个多输出组合电路，它的输入是 4 位二进制码 ABCD，输出为：

F_1 : ABCD 是 4 的倍数时 F_1 为 1。

F_2 : ABCD 在 8~11 之间时 F_2 为 1。

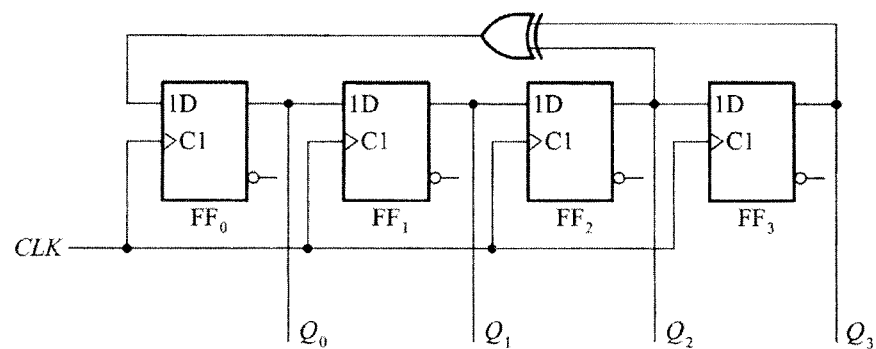
F_3 : ABCD 不等于 0 时 F_3 为 1。

74LS138 的逻辑符号和功能表如图。



输入					输出							
S_1	$S_2'+S_3'$	A_2	A_1	A_0	Y_0'	Y_1'	Y_2'	Y_3'	Y_4'	Y_5'	Y_6'	Y_7'
0	X	X	X	X	1	1	1	1	1	1	1	1
X	1	X	X	X	1	1	1	1	1	1	1	1
1	0	0	0	0	0	1	1	1	1	1	1	1
1	0	0	0	1	1	0	1	1	1	1	1	1
1	0	0	1	0	1	1	0	1	1	1	1	1
1	0	0	1	1	1	1	1	0	1	1	1	1
1	0	1	0	0	1	1	1	1	0	1	1	1
1	0	1	0	1	1	1	1	1	1	0	1	1
1	0	1	1	0	1	1	1	1	1	1	0	1
1	0	1	1	1	1	1	1	1	1	1	1	0

5. (10分) 分析下图电路，写出驱动方程，状态方程，画出状态转换图，并判断该电路能否自启动？若不能自启动，可修改成自启动（要求仅修改 FF_0 的驱动端），并画出改进后的电路图。（设初始状态为 $Q_0Q_1Q_2Q_3 = 1111$ ）



6. (10分) 试用 74LS194A 加必要的门电路设计一个从 Q_0 端输出 100111 序列的序列信号发生器。要求能自启动，电路越简单越好，74LS194A 的管脚图、功能表如下（其中 D_{IL} 、 D_{IR} 分别为左、右移输入端）。

74LS194A 功能表				
R'_D	S_1	S_0	CLK	工作状态
0	X	X	X	异步清零
1	0	0	X	保持
1	0	1	↑	右移
1	1	0	↑	左移
1	1	1	↑	并行输入

7. (15分) 设计一个同步时序电路，使得每输入 4 个周期的 CLK 脉冲，便输出一个正脉冲，其宽度等于 CLK 脉冲的周期。要求用下降沿触发的 JK 触发器和尽可能少的门电路构成。如果要求输出脉冲的宽度等于 CLK 脉冲的宽度，则电路作何改动？

8. (15分) 设计一个二位同步时序移位寄存器，它有一个数据输入端 X 和两个控制端 C_1 和 C_2 ，控制功能如下表，用 D 触发器和必要的门电路实现，若时间不够可不必画出逻辑图。

C_1	C_2	功能
0	0	不变化
0	1	左移一位
1	0	每位寄存器内容取反
1	1	每位寄存器内容为 1