

山东大学

二〇一八年招收攻读硕士学位研究生入学考试试题

科目代码 851

科目名称 计算机基础综合

(答案必须写在答题纸上, 写在试题上无效)

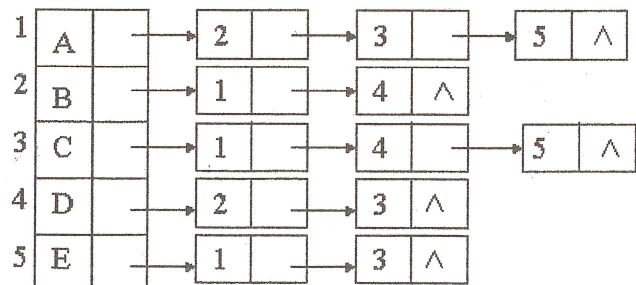
数据结构

一、简答题 (共 3 题, 共 26 分)

1. (8 分) 如果只想在一个有 n 个元素的任意序列中得到其中由最小的 k ($k \leq n$) 个元素组成的部分排序序列, 那么最好采用什么排序方法? 为什么? 例如有这样一个序列 $\{57, 40, 38, 11, 13, 34, 48, 75, 6, 19, 9, 7\}$, 要得到其中由最小的 4 个元素组成的部分有序序列 $\{6, 7, 9, 11\}$, 用所选择的算法实现排序过程, 描述排序过程, 并说明要进行多少次比较。

2. (8 分) 一个归并段是一组元素的有序序列。假设两个归并段合并成一个归并段的时间开销是 $O(r + s)$, 其中 r 与 s 分别为要合并的两个归并段的长度。通过不断地合并两个归并段, 可将 n 个不同长度的归并段最终合并成一个归并段。设有 n 个归并段, 其长度分别为 l_1, l_2, \dots, l_n , 要求将这 n 个归并段合并成一个归并段, 描述一个时间开销最小的实现方案, 给出时间复杂性分析。

3. (10 分) 已知下面是某无向图的邻接表, 画出该无向图, 并分别给出从 A 出发的深度优先搜索生成树和广度优先搜索生成树。



二、算法题 (共 2 题, 每小题 12 分, 共 24 分)

1. (12 分) 令 A 和 B 都是带表头结点的单链表, 假定 A 和 B 的元素都是按序 (递增次序) 排列的, 设计算法用以创建一个新的有序 (递增次序) 链表 C, C 表中包含了 A 和 B 的所有元素。要求使用 A 和 B 的物理结点来建立链表 C, 链表 C 建立后, A 和 B 变为空。(1) 描述算法的设计思想 (2) 根据设计思想, 给出算法实现, 关键之处请给出注释。(3) 说明你所设计算法的时间复杂度。

2. (12 分) 有 n 个顶点的无向图, 使用邻接矩阵作为存储结构。为减少存储空间, 只保存下三角矩阵。请给出映射关系, 并编写算法计算给定顶点的度。(1) 描述算法的设计思想 (2) 根据设计思想, 给出算法实现, 关键之处请给出注释。(3) 说明你所设计算法的时间复杂度。

操作系统

一、概念解释 (每小题 4 分, 共 20 分)

1. 引导程序
2. 稳定的存储器 (Stable Storage)
3. 分时系统
4. CPU 的内核态
5. 高速缓存 (Cache)

二、简答题 (每题 10 分, 共 30 分)

1. 有一个电影院, 有 1 个入口, 2 个出口。每个入口或出口一次只能进或出一个人。电影院内的座位数有 38 个。请用信号量机制描述观众进出电影院时, 他们之间的同步行为。

2. 什么是线程池 (Thread Pool)? 在服务器中采用线程池有什么好处?

3. 什么是地址绑定 (Address Binding)? 有哪几种类型的地址绑定? 说明他们的应用场景和作用。

计算机组成

一、简答题。(第 1 小题 6 分, 第 2 小题 4 分, 第 3 小题 7 分, 第 4 小题 8 分, 共 25 分)

1. DMA 数据传输包括哪几个阶段? 简述预处理阶段所做的工作。
2. 简要说明采用层次结构存储系统的目的, 以及采用层次结构存储器能达到预期目的的原理。
3. 已知二进制数 $x=0.1011$, $y=-0.1101$, 用补码一位乘计算 $[x*y]_{补}$, 并还原成真值 (写出计算步骤)。
4. 一条双字长的取数指令 (LDA) 存于存储器的 200H 和 201H 单元, 其中第一个字为操作码和寻址特征 M, 第二个字为形式地址。假设 PC 当前值为 200H, 变址寄存器 XR 的内容为 300H, 存储器各单元的内容如右图所示。写出在下列寻址方式中, 取数指令执行结束后, 累加器 AC 的内容。针对间接寻址、相对寻址, 分析说明原因。

(1) 直接寻址; (2) 立即寻址; (3) 变址寻址; (4) 间接寻址; (5) 相对寻址

4. 一条双字长的取数指令 (LDA) 存于存储器的 200H 和 201H 单元, 其中第一个字为操作码和寻址特征 M, 第二个字为形式地址。假设 PC 当前值为 200H, 变址寄存器 XR 的内容为 300H, 存储器各单元的内容如右图所示。写出在下列寻址方式中, 取数指令执行结束后, 累加器 AC 的内容。针对间接寻址、相对寻址, 分析说明原因。

字地址	内容
200H	LDA M
201H	300H
202H	××
300H	800H
500H	700H
501H	400H
502H	500H
600H	200H
800H	600H

二、分析设计题。(第 1 小题 13 分, 第 2 小题 12 分, 共 25 分)

1. 设 CPU 有 18 根地址线 (A17—A0), 8 根数据线 (D7—D0), 用 \overline{MREQ} 做访存控制信号 (低电平有效), \overline{WR} 作读写控制信号 (高电平为读, 低电平为写)。现有下列芯片: 4K × 8 位 RAM; 2K × 8 位 ROM 及 3-8 译码器和各种门电路。主存地址空间为: 28800H 开始为 2K ROM, 2E000H 开始为 8K RAM。要求:

- (1) 合理选用上述存储芯片, 说明各选几片。
- (2) 画出 CPU 与存储器连接图, 图中标明信号线的方向、种类和条数。

2. 某主机数据通路如下图所示。其中, M 为主存, XR 为变址寄存器, EAR: 有效地址寄存器, LATCH 为锁存器。指令格式为: ADD *D (*表示相对寻址, D 为相对偏移量); 指令含义为: (ACC) + (相对寻址的操作数) → (ACC); 指令字长为存储字长。写出完成该指令所需要的全部微操作流程及节拍安排 (从取指令开始)。

